

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-68513

(P2000-68513A)

(43) 公開日 平成12年3月3日(2000.3.3)

(51) Int. Cl. ⁷	識別記号	F I	テマコード(参考)
H 0 1 L 29/786		H 0 1 L 29/78	6 1 6 A 2 H 0 9 2
21/336		G 0 2 F 1/136	5 0 0
G 0 2 F 1/136	5 0 0	H 0 1 L 29/78	6 2 7 G

審査請求 未請求 請求項の数4 OL (全7頁)

(21) 出願番号 特願平10-231037

(22) 出願日 平成10年8月17日(1998.8.17)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 神野 優志

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74) 代理人 100076794

弁理士 安富 耕二 (外1名)

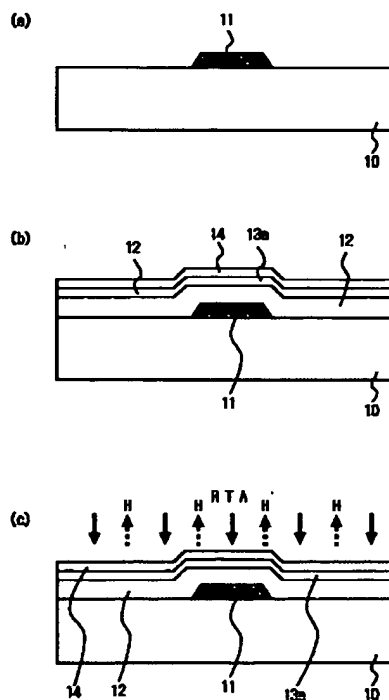
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 低温プロセスにおけるp-Si LCDの製造コストを削減する。

【解決手段】 ゲート絶縁膜12となる窒化シリコン膜及び酸化シリコン膜、a-Si膜13a、及び、キャップ膜14である酸化シリコン膜を連続CVDにより形成する。その後、RTAによりa-Si膜13aの脱水素アニールを行う。a-Si膜13aの汚染や表面酸化が防止され、これを結晶化して得られたp-Si膜を用いたTFTの特性が安定化する。



【特許請求の範囲】

【請求項1】 基板上に形成されたゲート電極と、該ゲート電極を覆うゲート絶縁膜と、該ゲート絶縁膜上に形成された多結晶半導体層と、該多結晶半導体層において、前記ゲート電極の上方に形成されたチャンネル領域、該チャンネル領域の両側に形成されたソース領域及びドレイン領域とを有する半導体装置の製造方法において、前記ゲート電極が形成された基板上に、前記ゲート絶縁膜、非晶質半導体層及び保護絶縁層を形成する工程と、前記非晶質半導体層上に前記保護絶縁層が形成された基板を加熱することにより、前記非晶質半導体層中に含まれる水素を減少させる工程と、前記保護絶縁層を前記ゲート電極上方に限定する工程と、前記非晶質半導体層にレーザーアニールを施すことにより、前記多結晶半導体層を形成する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項2】 前記加熱は、ランプアニールを施すことにより行われることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 基板上にゲート電極を形成する工程と、前記ゲート電極を覆うゲート絶縁膜、非晶質半導体層及び保護絶縁層を形成する工程と、前記非晶質半導体層及び前記保護絶縁層が形成された基板を加熱することにより、前記非晶質半導体層中に含まれる水素を減少させる工程と、前記保護絶縁層を前記ゲート電極の上方に限定する工程と、前記非晶質半導体層にレーザーアニールを施すことにより、多結晶半導体層を形成する工程と、前記多結晶半導体層に対して不純物のイオン注入を行うことにより、前記ゲート電極上方にチャンネル領域を形成するとともに、該チャンネル領域の両側にソース領域及びドレイン領域を形成する工程と、を有する半導体装置の製造方法。

【請求項4】 前記加熱は、ランプアニールを施すことにより行われることを特徴とする請求項3記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置、特に、液晶表示装置(LCD: liquid crystal display)の製造方法に関する。

【0002】

【従来の技術】 レーザーアニールによりガラスなどの基板上に形成された非晶質シリコン(a-Si)を多結晶化する方法が開発され、ガラス基板の耐熱限界温度以下で、良質の多結晶シリコン(p-Si)膜を形成することができる。p-Si TFTは、単結晶シリコンを用い

たMOSTランジスタに比して遜色のない動作速度を有しているため、同一のガラス基板上に、画素スイッチング素子としてのTFTとともに、その周縁に、画素TFTを駆動するドライバーを構成するためのCMOS回路をTFTにより形成することができ、いわゆるドライバ一内蔵型のLCDの量産技術が確立されるに至っている。

【0003】 従来のLCDの製造方法を説明する。図4から図7は、LCDにおいて、各画素に接続形成される画素TFT及びCMOSTFTの製造方法を示す工程断面図である。

【0004】 第1に、図4(a)に示すように、ガラス基板(50)上に、Cr、Ti、Ta、Al、Mo等を成膜し、これをエッチングすることにより、TFTのゲート電極(51)を形成する。この時、ゲート電極(51)と一体でゲートラインが形成される。

【0005】 第2に、図4(b)に示すように、ゲート電極(51)を覆って、全面に、シリコン窒化膜、シリコン酸化膜、あるいは、これらの積層膜からなるゲート絶縁膜(52)、及び、a-Si膜(53a)を、プラズマCVDの連続成膜により形成する。

【0006】 第3に、図4(c)に示すように、a-Si膜(53a)が形成された基板を、オープン、炉等により、430度、2〜4時間程度加熱して、いわゆる脱水素アニールを行うことにより、a-Si膜(53a)中の水素濃度を10の21乗乃至10の22乗atm/cm²から10の20乗atm/cm²程度に減少させる。

【0007】 第4に、図5(d)に示すように、エキシマレーザーアニール(ELA)を施すことにより、a-Si膜(53a)を結晶化し、p-Si膜(53)を形成する。ELAは、レーザー光を線状にしたラインビームを走査することにより行われる。ここで、a-Si膜(53a)中に、水素が多量に含まれると、結晶化を妨げるが、図4(c)に示す第3の工程において、水素濃度を減少しているため、良好な結晶化が行われる。

【0008】 第5に、図5(e)に示すように、p-Si膜(53)上に、注入ストッパー(54)となるシリコン酸化膜を、プラズマCVDにより形成する。

【0009】 第6に、図6(f)に示すように、シリコン酸化膜(54)上のゲート電極(51)の直上領域に第1のレジスト膜(R1)を形成し、これをマスクにシリコン酸化膜をエッチングすることにより、注入ストッパー(54)を形成する。ここで、第1のレジスト膜(R1)は、まず、レジスト膜を全面に塗布形成した後、基板(50)の下方より露光を行って、ゲート電極(51)の反転パターンに感光し、これを現像することにより得られる。

【0010】 第7に、図6(g)に示すように、第1のレジスト膜(R1)を剥離した後、注入ストッパー(5

4)をマスクに、 $p-Si$ 膜(53)に対する燐(P)のイオン注入を低ドーズ量で行う。これにより、注入ストッパー(54)に覆われない領域を低濃度にドーピングし、低濃度領域(LD)を形成する(N-)とともに、注入ストッパー(54)の直下領域はノンドープのチャンネル領域(CH)となる。なお、第1のレジスト膜(R1)は、イオン注入時には残しておき、イオン注入後に剥離しても良い。

【0011】第8に、図7(h)に示すように、 $p-Si$ 膜(53)上に、ゲート電極(51)の直上領域より少なくともチャンネル長方向に大きな第2のレジスト膜(R2)を形成し、これをマスクに燐(P)のイオン注入を高ドーズ量で行う。これにより、第2のレジスト膜(R2)に覆われない領域を高濃度にドーピングして、ソース領域(S)及びドレイン領域(D)を形成するとともに、第2のレジスト膜(R2)の直下に低濃度領域(LD)が残される。このように、チャンネル領域(CH)とソース及びドレイン領域(S、D)の間にLD領域(LD)が介在された構成はLDDと呼ばれる。

【0012】第9に、図7(i)に示すように、 $p-Si$ 膜(53)をTFTの島状にパターニングした後、シリコン窒化膜とシリコン酸化膜の積層膜からなる層間絶縁膜(55)を形成し、更に、層間絶縁膜(55)にコンタクトホールを開く。層間絶縁膜(55)上に、Al、Mo、Ta等からなるTFTのソース電極(56)及びドレイン電極(57)を形成し、コンタクトホールを介して、 $p-Si$ 膜(53)のソース領域(S)及びドレイン領域(D)に各々接続する。

【0013】以上で、 $p-Si$ TFTが完成される。

【0014】

【発明が解決しようとする課題】図4(c)に示す第3の工程において、脱水素アニールは、前述の如く、オープン、炉等を用いて行われるが、スルーブットが悪い。

【0015】また、 $a-Si$ 膜(53a)が露出した状態で搬送され、外気に曝されるので、表面が汚染されたり、酸化されたりする。更に、オープンや炉の内壁の汚染があると、 $a-Si$ 膜(53a)の汚染がいつそうひどくなり、このような $a-Si$ 膜(53a)から得られた $p-Si$ 膜(53)は電気特性が悪く、ひいてはTFTの閾値特性の変動や、歩留まりの低下をもたらす。

【0016】また、図5(d)に示す第4の工程において、 $a-Si$ 膜(53a)にELAが施されるが、ゲート絶縁膜(52)を挟んで下部にゲート電極(51)及びゲートラインが存在している。このため、ラインビームが通過した時、ゲートラインに沿って熱が常時拡散するため、ゲート電極(51)及びゲートライン上の $a-Si$ 膜(53a)の温度が低くなる。即ち、同じエネルギーのレーザービームが照射されても、ゲート電極(53a)及びゲートライン上と、それ以外の領域では、 $a-Si$ 膜(53a)に与えられる実効的エネルギーが異

なる。この結果、ゲート電極(51)上方のチャンネル領域(CH)と、ソース及びドレイン領域(S、D)とでは、 $p-Si$ 膜(53)のグレインサイズが異なる。従って、チャンネル領域(CH)とソース及びドレイン領域(S、D)の両方の膜質を折衷する必要が有り、ELA条件の制限が厳しいものとなっていた。

【0017】また、図5(e)に示す第5の工程において、プラズマCVDにより、注入ストッパー(54)となるシリコン酸化膜を形成しており、この結果、プラズマCVD工程は、ゲート絶縁膜(52)の成膜工程と層間絶縁膜(55)の成膜工程と合わせて3つとなる。このように、プラズマCVD工程が増えると、製造コストが増大する。

【0018】本発明は、これらの問題を解決し、良好な電気特性を得るとともに、製造コストの小さい半導体装置の製造方法を提供することを目的としている。

【0019】

【課題を解決するための手段】本発明は、この目的を達成するためになされ、基板上に形成されたゲート電極と、該ゲート電極を覆うゲート絶縁膜と、該ゲート絶縁膜上に形成された多結晶半導体層と、該多結晶半導体層において、前記ゲート電極の上方に形成されたチャンネル領域、該チャンネル領域の両側に形成されたソース領域及びドレイン領域とを有する半導体装置の製造方法において、前記ゲート電極が形成された基板上に、前記ゲート絶縁膜、非晶質半導体層及び保護絶縁層を形成する工程と、前記非晶質半導体層上に前記保護絶縁層が形成された基板を加熱することにより、前記非晶質半導体層中に含まれる水素を減少させる工程と、前記保護絶縁層を前記ゲート電極上方に限定する工程と、前記非晶質半導体層にレーザーアニールを施すことにより、前記多結晶半導体層を形成する工程と、を有する構成である。

【0020】また、基板上にゲート電極を形成する工程と、前記ゲート電極を覆うゲート絶縁膜、非晶質半導体層及び保護絶縁層を形成する工程と、前記非晶質半導体層及び前記保護絶縁層が形成された基板を加熱することにより、前記非晶質半導体層中に含まれる水素を減少させる工程と、前記保護絶縁層を前記ゲート電極の上方に限定する工程と、前記非晶質半導体層にレーザーアニールを施すことにより、多結晶半導体層を形成する工程と、前記多結晶半導体層に対して不純物のイオン注入を行うことにより、前記ゲート電極上方にチャンネル領域を形成するとともに、該チャンネル領域の両側にソース領域及びドレイン領域を形成する工程と、を有する半導体装置の製造方法である。

【0021】これにより、非晶質半導体層が保護された状態で、脱水素のアニールが行われるので、非晶質半導体を結晶化して得られた多結晶半導体層を用いた半導体装置の特性が安定化する。また、保護絶縁層を不純物イオン時のマスクとしても用いられるの、工数が削減され

る。

【0022】

【発明の実施の形態】本発明の実施の形態にかかる製造方法を図1から図3の工程断面図を用いて説明する。

【0023】第1に、図1(a)に示す如く、ガラス等の基板(10)上に、Cr、Al、Mo、Ta等の高融点金属をスパッタリングにより成膜し、これをエッチングすることにより、TFTのゲート電極(11)、ゲート電極(11)と一体のゲートラインを形成する。ゲート電極(11)は、1000Åの厚みに形成される。第2に、図1(b)に示す如く、ゲート電極(11)を覆い、ゲート絶縁膜(12)となるシリコン窒化膜及びシリコン酸化膜の積層膜、及び、a-Si膜(13a)、更には、本発明のキャップ膜(14)となるシリコン膜酸化を、連続CVDにて成膜する。ゲート絶縁膜(12)であるシリコン窒化膜500Å程度、シリコン酸化膜は1300Å程度、a-Si膜(13a)は400Å、キャップ膜(14)は700Åの厚さに形成する。

【0024】第3に、図1(c)に示す如く、この基板にRTA(rapid thermal anneal)、即ち、熱源であるランプの高速走査によるアニールを施すことにより、a-Si膜(13a)中の水素濃度が、10の21乗乃至10の22乗atm/cm²から10の20乗atm/cm²程度に減少し、いわゆる脱水素アニールが行われる。水素は、シリコン酸化膜からなるキャップ膜(14)を通過して離脱する。

【0025】本発明では、このように、a-Si膜(13a)上に保護膜であるキャップ膜(14)が被覆された状態で、RTAが行われるので、a-Si膜(13a)の汚染や、大気中の酸素による表面酸化が防がれる。特に、RTAでは、炉やオープンと比べ、装置構造上、処理空間における残存酸素濃度が高く、キャップ膜(14)を付けたことによる表面保護効果が顕著になる。

【0026】本発明では、このように、a-Si膜(13a)の脱水素アニールを、炉やオープンを用いず、RTAで行うので、スループットが向上する。

【0027】また、脱水素アニールは、a-Si膜(13a)上にキャップ膜(14)を被覆した状態で行われるので、被処理基板の搬送の際に真空が破られてもa-Si膜(13a)の汚染や表面酸化が防がれるため、a-Si膜(13a)を結晶化して得られたp-Si膜(14)を用いたTFT素子の電気特性が変動することが無くなる。

【0028】第4に、図2(d)に示す如く、このキャップ膜(14)を覆い、ホトレジスト(R1)を塗布成膜した後、基板(10)の背面より、露光を行ってゲート電極(11)の反転パターンを転写した形状に感光し、現像する。このレジスト(R1)を用いてキャップ膜(14)をエッチングすることにより、ゲート電極

(11)の直上領域に注入ストッパー(14)を形成する。

【0029】キャップ膜(14)は、第2の工程において、ゲート絶縁膜(12)及びa-Si膜(13a)の成膜時に、連続で形成されたもので、本発明では、注入ストッパー用の膜を別工程で成膜する必要が無く、CVDプロセスを削減することができる。

【0030】第5に、図2(e)に示す如く、エキシマレーザーアニール(ELA)を施すことにより、a-Si膜(13a)のみが集中的に加熱され、基板(10)を歪ませることなく、a-Siを多結晶化し、p-Si膜(13)を形成する。この際の基板温度は、ガラス基板の耐熱温度の600度以下の低温で、基板として耐熱性の低いガラス基板を用いることができる、いわゆる低温プロセスが実現される。

【0031】ELAにおいて、注入ストッパー(キャップ膜)(14)は、干渉効果によりa-Si膜(13a)に与えられた熱エネルギーが逃げるのを抑えるため、ゲート電極(11)によるチャンネル領域(CH)の熱拡散と相殺され、a-Si膜(13a)に与えられる実効的エネルギーが、ゲート電極(11)上方のチャンネル領域(CH)と、それ以外の低濃度領域(LD)、ソース及びドレイン領域(S、D)とで一定になり、TFTの特性が安定化する。従って、ELAのエネルギー制御におけるマージンが広がる。

【0032】更に、注入ストッパー(キャップ膜)(14)は、p-Si膜(13)と間に連続成膜により形成された界面を有しているため、界面における格子欠陥が少なく、TFTの特性に影響を及ぼす界面順位密度が小さい。

【0033】第6に、図2(f)に示す如く、このホトレジスト(R1)を剥離した後、注入ストッパー(14)をマスクに、燐(P)のイオン注入を10の13乗程度の低ドーズ量で行うことにより、注入ストッパー(14)に覆われない領域のp-Si膜(13)が低濃度にドーピングされ(N-)、低濃度領域が形成されるとともに、注入ストッパー(14)の直下領域がノンドープのチャンネル領域(CH)となる。

【0034】第7に、図3(g)に示す如く、再び、ホトレジスト(R2)を、少なくとも、ゲート電極(11)のチャンネル長方向よりも大きく形成し、これをマスクに燐(P)のイオン注入を10の15乗程度の高ドーズ量で行うことにより、ホトレジスト(R2)に覆われない領域が高濃度にドーピングされ、ソース領域(S)及びドレイン領域(D)を形成する。この時、ホトレジスト(R2)の直下には、チャンネル領域(CH)と、その傍らに低濃度領域(LD)が形成され、LDD構造が完成される。

【0035】第8に、図3(h)に示す如く、p-Si膜(13)をTFTの島状にパターンニングした後、シリ

コン窒化膜とシリコン酸化膜の積層膜からなる層間絶縁膜(15)を形成し、層間絶縁膜(15)中にコンタクトホールを開く。そして、層間絶縁膜(15)上に、Al、Mo、Ta等からなるTFTのソース電極(16)及びドレイン電極(17)を形成し、コンタクトホールを介して、p-Si膜(13)のソース領域(S)及びドレイン領域(D)に各々接続する。

【0036】以上で、本発明の製造方法によるp-Si TFTが完成する。

【0037】

【発明の効果】以上の説明から明らかな如く、本発明において、結晶化前の非晶質半導体膜の脱水素アニールを、非晶質半導体膜を保護するキャップ膜を被覆した状態で行うことにより、非晶質半導体膜が汚染されることが防がれ、これを結晶化して得た多結晶半導体膜の電気特性が安定し、高歩留まりが達成される。また、脱水素アニールを、炉やオープンに換えてランプアニールにより行うことで、スループットが向上した。更に、ゲート絶縁膜、非晶質半導体膜とともに形成されたキャップ膜をエッチングすることで注入ストップ膜を得るので、CVD成膜工程が削減され、製造コストが減少する。その上、キャップ膜(注入ストップ)のために、レーザーアニールにおける結晶化の実効エネルギーが全面で均一になるので、TFT素子の特性が安定化するとともに、エネルギー制御におけるマージンが広がり、歩留まりが向上する。また、キャップ膜(注入ストップ)は、非晶質半導体膜と連続で成膜されたシリコン酸化膜からなる

ので、界面単位密度が小さく良好な素子特性が得られる。

【図面の簡単な説明】

【図1】本発明の実施の形態にかかる半導体装置の製造方法を示す工程断面図である。

【図2】本発明の実施の形態にかかる半導体装置の製造方法を示す工程断面図である。

【図3】本発明の実施の形態にかかる半導体装置の製造方法を示す工程断面図である。

10 【図4】従来の半導体素子の製造方法を示す工程断面図である。

【図5】従来の半導体素子の製造方法を示す工程断面図である。

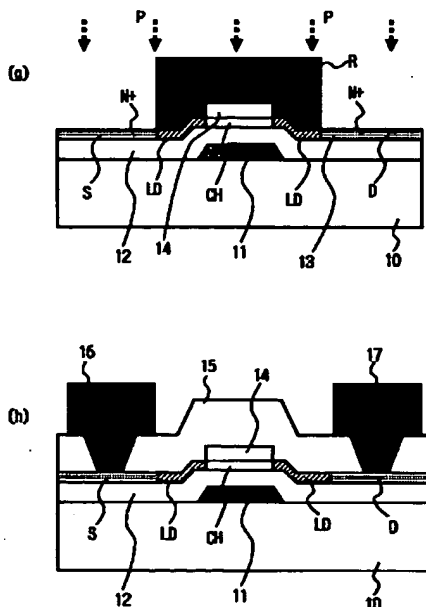
【図6】従来の半導体素子の製造方法を示す工程断面図である。

【図7】従来の半導体素子の製造方法を示す工程断面図である。

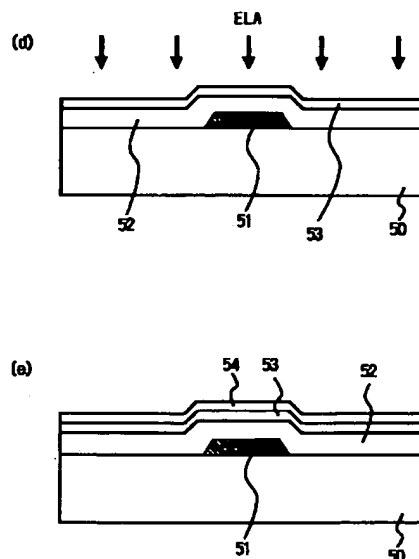
【符号の説明】

- 10 基板
- 11 ゲート電極
- 12 ゲート絶縁膜
- 13 p-Si
- 14 キャップ膜
- 15 層間絶縁膜
- 16 ソース電極
- 17 ドレイン電極

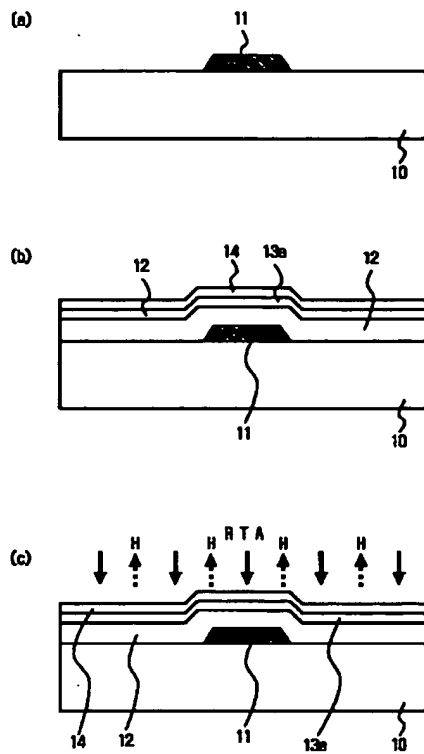
【図3】



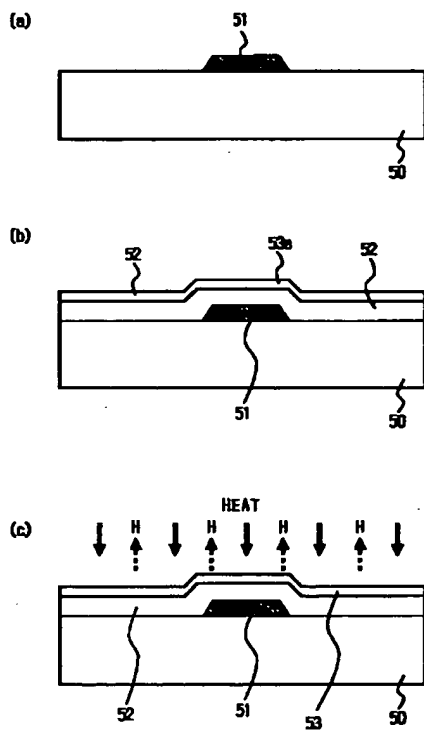
【図5】



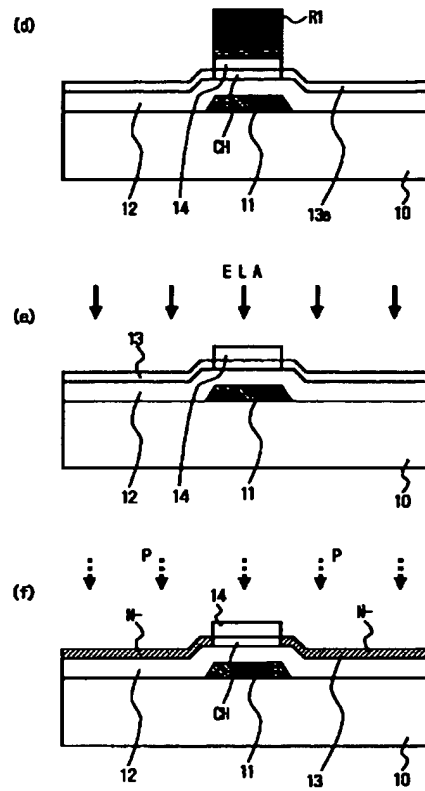
【図1】



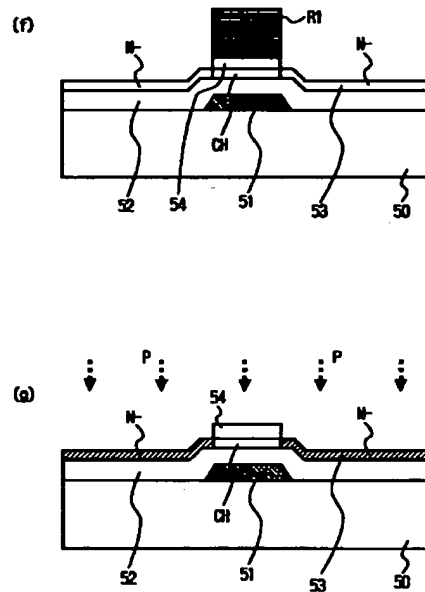
【図4】



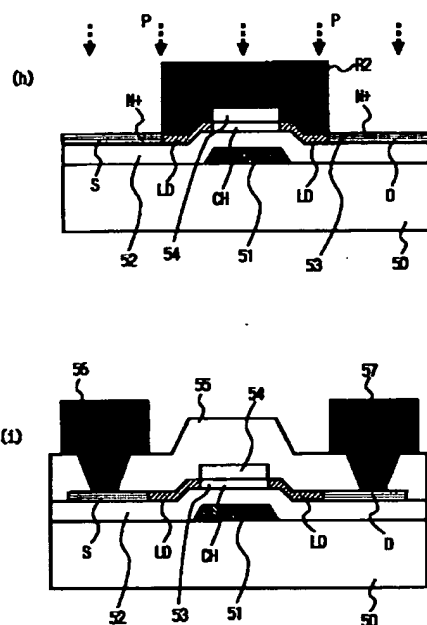
【図2】



【図6】



【図7】



フロントページの続き

Fターム(参考) 2H092 JA26 JA29 JA35 JA36 JA38
 JA39 JA42 JA44 JB13 JB23
 JB24 JB27 JB32 JB38 JB54
 JB56 JB63 JB69 KA04 KA07
 KA12 KA24 MA05 MA08 MA14
 MA15 MA16 MA18 MA19 MA20
 MA22 MA27 MA30 MA35 MA37
 MA42 NA24 NA25 NA27 NA29
 PA06 QA07

[Previous Doc](#) [Next Doc](#) [Go to Doc#](#)
[First Hit](#)

☐ [Generate Collection](#)

L1: Entry 4 of 7

File: DWPI

Mar 3, 2000

DERWENT-ACC-NO: 2000-263206
DERWENT-WEEK: 200025
COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: Manufacture of semiconductor device e.g. TFT for LCD device involves converting amorphous silicon layer into poly crystalline silicon layer by performing dehydrogenation annealing of amorphous silicon layer

PATENT-ASSIGNEE:

ASSIGNEE

CODE

SANYO ELECTRIC CO LTD

SAOL

PRIORITY-DATA: 1998JP-0231037 (August 17, 1998)

[Search Selected](#)

[Search ALL](#)

[Clear](#)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
<input type="checkbox"/> JP 2000068513 A	March 3, 2000		007	H01L029/786

APPLICATION-DATA:

PUB-NO	APPL-DATE	APPL-NO	DESCRIPTOR
JP2000068513A	August 17, 1998	1998JP-0231037	

INT-CL (IPC): [G02 F 1/136](#); [H01 L 21/336](#); [H01 L 29/786](#)

ABSTRACTED-PUB-NO: JP2000068513A

BASIC-ABSTRACT:

NOVELTY - Gate electrode (11), gate insulating layer (12), amorphous silicon layer (13) and insulating layer (14) are formed sequentially on substrate (10) by CVD. Then dehydrogenation annealing of the amorphous silicon layer is performed to obtain poly crystalline silicon layer.

USE - For manufacturing semiconductor device e.g. TFT for liquid crystal display device.

ADVANTAGE - The electrical property of poly crystalline silicon layer is stabilized and high yield is obtained, thus characteristics of TFT is improved.

DESCRIPTION OF DRAWING - The figure shows the sectional view of semiconductor device manufacturing method. (10) Substrate; (11) Gate electrode; (12) Gate insulating film; (13) Amorphous P-type silicon; (14) Protection layer.

CHOSEN-DRAWING: Dwg.1/7

TITLE-TERMS: MANUFACTURE SEMICONDUCTOR DEVICE TFT LCD DEVICE CONVERT AMORPHOUS
SILICON LAYER POLY CRYSTAL SILICON LAYER PERFORMANCE ANNEAL AMORPHOUS SILICON LAYER

DERWENT-CLASS: L03 P81 U11 U12 U14

CPI-CODES: L04-C01B; L04-C10B; L04-C11C; L04-C16; L04-E01;

EPI-CODES: U11-C03J1; U11-C18A1; U12-B03A; U14-K01A2; U14-K01A2B;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C2000-080550

Non-CPI Secondary Accession Numbers: N2000-196703

[Previous Doc](#) [Next Doc](#) [Go to Doc#](#)